

运放参数

引言

运算放大器作为模拟集成电路的基石，在现代电子系统中扮演着不可或缺的角色。从精密传感器接口到高速通信链路，从有源滤波器到数据转换器驱动级，运放的性能边界直接决定着信号链路的保真度与可靠性。然而，理想运放模型所假设的无穷大开环增益、零失调电压、无限带宽等特性，在实际器件中均受物理实现与工艺偏差的制约。这些制约被量化为一系列关键参数——开环增益、输入失调电压与偏置电流、共模抑制比、压摆率、带宽指标以及相位裕度等。深入理解这些参数的内在机理及其对电路行为的支配关系，是进行高精度模拟设计的前提。本文基于开环增益、输入失调、共模抑制、压摆率、带宽及稳定性等维度，对运放的关键参数进行系统性的技术梳理。

开环增益与频率响应特性

如图 1 所示，开环增益（Open-Loop Gain, A_{OL} ）是指运算放大器在没有任何反馈回路下，其输出电压变化与输入差模电压变化之比，即

$$\frac{V_{out}}{V_2 - V_1} = A_{OL} \quad (1)$$

是运放自身的固有属性，与外部电路无关。运放的开环增益通常极大，为便于表示与比较这种大范围数值，常用分贝（dB）来表示，即

$$\text{Gain(dB)} = 20 \log_{10} (A_{OL}) \quad (2)$$

分贝表示不仅压缩了数值范围，也使得级联系统的增益计算从乘法变为加法，在频率响应分析中尤为便利。

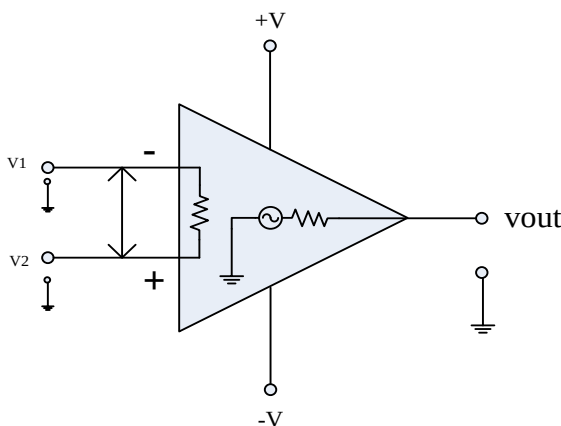


图 1. 开环增益示意图

在实际运放中，开环增益并非恒定值，而是随频率升高而下降。这一特性源于运放内部为保持稳定性而引入的主极点补偿。

如图 2 所示，当直流或者低频时，开环增益保持恒定，随着频率的增加，开环增益逐渐下降，并且在一定频率范围内，增益带宽积为一个常数，意味着增益倍数和带宽是成反比的。

频率响应特性曲线进一步揭示了系统的动态行为：低频段放大器提供高增益，而在高频段增益下降并伴随明显的相位滞后。该特性对于分析系统的稳定性、带宽限制以及时域响应具有重要理论意义和工程应用价值。

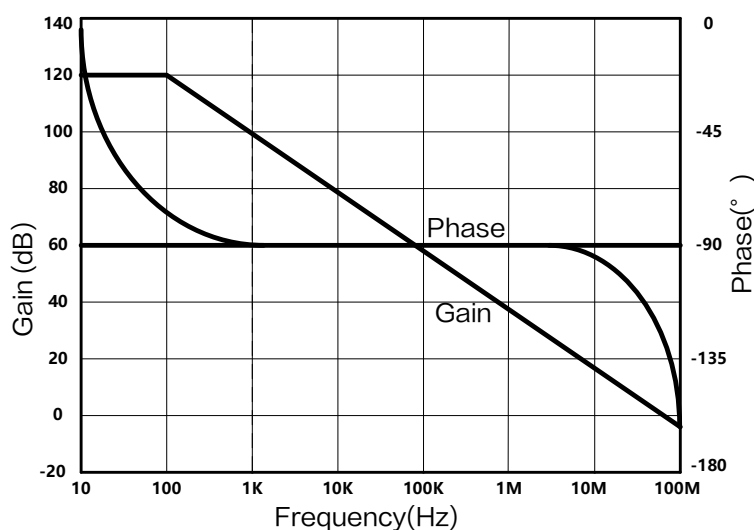


图 2.开环增益与频率特性曲线

直流精度参数：失调与偏置

直流精度参数决定了运放在静态下的误差边界，主要包括输入失调电压、输入失调电流和输入偏置电流。如图 3 所示，输入失调电压 (Input Offset Voltage, V_{OS}) 定义为使输出电压为零时，输入端需要施加的补偿电压。输入失调电压实际上反映了运放内部的电路对称性，对称性越好，输入失调电压越小。实际测量时，运放的输入端短接并接地，输出端存在的直流电压即为输出失调电压，除以运放增益后得到输入失调电压。当环境温度变化时，运放内部晶体管的 V_{BE} 等参数会发生漂移，导致原本补偿好的 V_{OS} 发生漂移，因此，输入失调电压温漂是指在温度范围内，输入失调电压的变化量与温度变化量的比值，即

$$\text{温漂} = \frac{\Delta V_{OS}}{\Delta T} \quad (3)$$

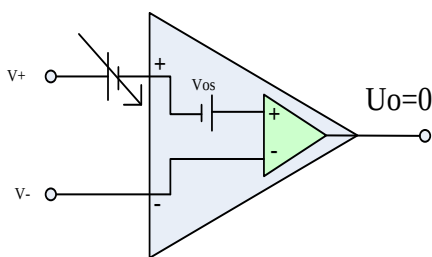


图 3.输入失调电压等效图

输入偏置电流 (Input Bias Current, I_B) 是由于运算放大器内部晶体管的基极电流或场效应管的栅极漏电流等产生的，定义为运放的输出直流电压为零时，同相端输入偏置电流 I_{B1} 和反相端输入偏置电流 I_{B2} 的平均值，即

$$I_B = \frac{I_{B1} + I_{B2}}{2} \quad (4)$$

如图 4，输入失调电流 (Input Offset Current, I_{OS}) 定义为两个差分输入端偏置电流的差值，即

$$I_{OS} = |I_{B1} - I_{B2}| \quad (5)$$

I_{OS} 反映了运放内部的电路对称性，对称性越好，输入失调电流越小。

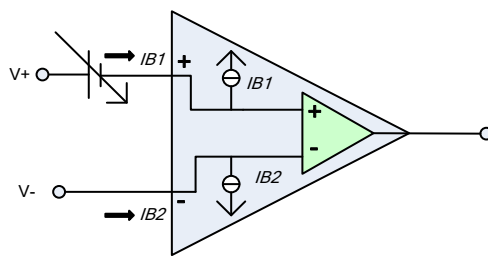


图 4. 输入失调电流等效图

对于双极型输入运放， I_B 通常在 nA 至 μA 级别；而 CMOS 输入运放的 I_B 一般为 pA 或者 fA 级别，因其输入管脚内部接 MOSFET 栅极，理论上不消耗电流，仅存在 ESD 保护二极管极小的反向漏电流。

共模抑制比

共模抑制比 (Common Mode Rejection Ratio, CMRR) 是衡量运放抑制输入端共模信号能力的关键指标，定义为差模增益 (A_d) 与共模增益 (A_c) 之比，通常以分贝 (dB) 表示：

$$CMRR = 20 \log_{10} \frac{A_d}{A_c} \quad (6)$$

其中，差模增益是电路所需的信号放大能力，而共模增益则会放大不需要的共模干扰，如电源噪声或电磁干扰。理想情况下， $A_c=0$ ，CMRR 为无穷大，但在实际电路中，整体 CMRR 不仅受运放器件本身限制，更受外部反馈网络的电阻匹配精度制约。例如，在标准差分放大电路中，即使运放自身的 CMRR 高达 100dB，若采用 1% 精度电阻构成增益网络，整体 CMRR 可能会降至约 48dB。因此，在高共模干扰环境下，需要关注电阻网络失配对其的影响。

压摆率与建立时间

压摆率 (Slew Rate, SR) 是运放在大信号条件下，输出电压的最大变化速率，单位为 $V/\mu s$ ，是衡量运放处理大幅值快速变化信号的能力。它主要受运放内部偏置电流和补偿电容的限制。当输入信号的变化速率超过 SR 时，输出波形将产生线性失真，表现为三角波而非原正弦波。由此衍生出的全功率带宽 (Full-Power Bandwidth, FPBW) 概念，即指运放在额定输出幅度下，不产生压摆率失真的最高频率。

对于输出为正弦波的信号，输出电压为

$$V_{out} = V_p \cdot \sin(2\pi ft) \quad (7)$$

输出电压对时间求导可得

$$\frac{dV}{dt} = 2\pi f V_p \cos(2\pi ft) \quad (8)$$

当 $t=0$ 时，压摆率最大为 $2\pi f V_p$ ，即

$$SR = 2\pi f V_p \quad (9)$$

$$FPBW = f_{max} = SR / 2\pi V_p \quad (10)$$

建立时间 (Settling Time, ST) 则是从输入端阶跃变化开始，到输出端进入稳定状态，并稳定在最终值指定误差带 (如 0.1%) 内所需的时间。它结合了压摆率 (大信号行为) 和带宽 (小信号行为) 的综合影响，是 ADC 驱动电路和数据采集系统中的核心设计参数。

带宽指标与稳定性

单位增益带宽是开环增益降至 0dB (即 1 倍) 时的频率。对于采用电压反馈架构且具有恒定增益带宽积特性的运放，其增益带宽积 (Gain-Bandwidth Product, GBW) 在指定频率范围内保持恒定。这意味着增益与频率之间存在严格的权衡关系，即

$$GBW = A_{OL} \cdot f \quad (11)$$

相位裕度和增益裕度则是评价闭环稳定性的核心指标。相位裕度定义为在开环增益降至 0dB 的频率点处，开环相移与 -180° 之间的差值。为确保电路在负反馈下稳定工作而不产生自激振荡，通常要求相位裕度大于 45° (理想情况为 60°)。

以上)。当环路中引入电抗性负载或复杂反馈网络时，需要通过仿真验证其相位裕度，以确认系统具有足够的稳定性容限。

结论

运算放大器的选型与设计应用，本质上是在直流精度、交流带宽、驱动能力与功耗之间进行多维权衡。唯有深刻理解开环增益的有限性、失调误差的来源、共模抑制的制约因素，以及带宽与稳定性的互锁关系，才能在系统层面有效规避潜在可靠性风险，实现信号调理的预期保真度。