

引言

总线差分信号识别

The timing diagram illustrates the relationship between several signals:

- RESET**: A signal that transitions from low to high, with a 5V swing.
- DATA IN**: A periodic square wave signal with a 5V swing.
- OUT (A)**: A signal that transitions from low to high, with a 5V swing.
- OUT (B)**: A signal that transitions from low to high, with a 5V swing.
- 总线差分信号 (Bus Differential Signal)**: A signal that transitions from low to high, with a 10V swing. The signal is labeled "信号识别范围" (Signal Recognition Range).
- DATA OUT**: A signal that transitions from low to high, with a 5V swing.

图 1.XL1192S 通讯方案信号时序图

采样及解码原理

说明：

- 1.V1, V2为两根总线的信号；
- 2.Rs1, Rs2为外置接收电阻；
- 3.Rin1, Rin2为芯片内置电阻；
- 4.Vz为芯片内置2.5V电压源。

图 2.总线差分信号采样及解码原理示意图

接收电阻选择

由图 2 可以基本了解芯片内部的解码原理，为更清晰的说明接收电阻与总线差分信号识别范围的关系，并了解接收电阻如何选择，以下通过具体计算及举例来说明，计算过程如下：

$$VIN1=(V1-Vz)*Rin1/(Rs1+Rin1)+Vz, \quad VIN2=(V2-Vz)*Rin2/(Rs2+Rin2)+Vz;$$

$Rin1$ 、 $Rin2$ 为内置的 33K 电阻，实际应用时外置接收电阻 $Rs1$ 、 $Rs2$ 使用相同阻值。

故 $Rin1=Rin2=Rin$ ， $Rs1=Rs2=Rs$ ；

$$\text{则 } VIN1-VIN2=(V1-V2)*Rin/(Rs+Rin);$$

换算后可得：

$$V1-V2=(VIN1-VIN2)*(Rs+Rin)/Rin;$$

$VIN1-VIN2$ 取芯片内部解码阈值时，计算得到的 $|V1-V2|*2$ 即是图 1 所示的总线差分信号的信号识别范围。

举例说明：

XL1192S 内部解码阈值为 0.75V，当外置接收电阻使用 33K 时， $V1-V2=0.75*(33+33)/33=1.5V$ ；即图 1 所示的总线差分信号的信号识别范围为中间电平上下 1.5V。

在实际系统应用中，为避免因总线上存在的差分干扰导致的通讯芯片误解码，需要将总线信号识别范围适当加大，基于上述原理，可以通过增大接收电阻 Rs 阻值实现；同时由于远距离传输时，信号会有衰减，所以接收电阻 Rs 阻值不能过大，否则会有无法正常解码风险。